

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-228281

(43)Date of publication of application : 22.09.1988

(51)Int.Cl.

G06K 19/00
B42D 15/02

(21)Application number : 62-061776

(71)Applicant : NEC CORP.

(22)Date of filing : 17.03.1987

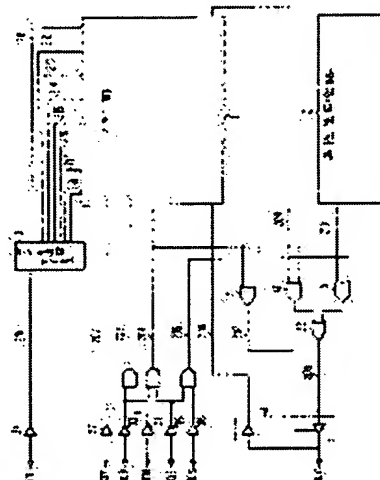
(72)Inventor : YAMAKAWA SHIGEKI

(54) MEMORY CARD

(57)Abstract:

PURPOSE: To easily discriminate an attribute consisting of the memory capacity of a card, memory speed and the type of the memory in a main control part by providing an attribute forming circuit in the memory card.

CONSTITUTION: The attribute forming circuit 2 forms the attribute such as the type of a memory chip, the memory capacity and the memory speed. Read data from a memory part 1 is outputted by designating the memory chip and an address in the memory chip by an address signal on signal lines 101, 102 and validating a memory selecting signal on a signal line 103 and a reading designating signal on a signal line 105. Then, it passes through the AND gate 13 of two inputs and the OR gate 22 of two inputs and is outputted to a signal line 107. The reading output signal of the attribute passes through the AND gate 15 of two inputs 15 and the OR gate 22 of the two inputs and is outputted to the signal line 107 by validating an attribute designating signal on a signal line 106 and the reading designating signal on the signal line 105.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-228281

⑤ Int. Cl.⁴G 06 K 19/00
B 42 D 15/02

識別記号

3 3 1

庁内整理番号

J-6711-5B
J-8302-2C

④ 公開 昭和63年(1988)9月22日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 メモリカード

⑭ 特 願 昭62-61776

⑮ 出 願 昭62(1987)3月17日

⑯ 発 明 者 山 川 茂 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

メモリカード

2. 特許請求の範囲

1個以上のメモリチップから成るメモリ部と、前記メモリチップを選択するためのアドレスデコーダ回路と、前記メモリチップの種類、メモリ容量、ならびにメモリスピードなどの属性を生成するための属性生成回路と、選択されたメモリチップからの出力データと前記属性生成回路の出力とのうちのいずれか一方を選択的に出力するための選択手段とを具備して構成したことを特徴とするメモリカード。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はカードサービスの容器に実装したメモリカードに関する。

(従来技術)

従来、この種のメモリカードは1個のメモリチップまたは2個以上のメモリチップと、アドレス

デコーダとのみから構成されていた。

(発明が解決しようとする問題点)

上述した従来のメモリカードは、1個のメモリチップまたは2個以上のメモリチップとアドレスデコーダ回路とのみから構成されているので、例えばROMで構成されたメモリカードとスタティックRAMとで構成されたメモリカードのように異なるメモリチップで構成されたメモリカードや、例えばアドレスアクセスタイムのようなスピードを要する量の異なるメモリカードなどのように、異なるメモリ容量をもつメモリカードを制御部より識別することは困難であるという欠点があった。

本発明の目的は、メモリカード内に1個以上のメモリチップと、チップを選択するためのデコーダ回路とを有し、カード内のメモリチップの種類、カード内のメモリ容量、およびメモリのスピードなどのメモリカードとしての属性データを生成し、選択されたメモリチップからの出力データと属性データとのうち、いずれか一方を選択することによつて上記欠点を除去し、スピードの異なるメモ

リチップを突接して構成したメモリカードを提供することにある。

(問題点を解決するための手段)

本発明によるメモリカードは、メモリ部と、デコード回路と、属性生成回路と、選択手段とを具備して構成したものである。

メモリ部は1個以上のメモリチップから成り、アドレスデコード回路はメモリチップを選択するためのものである。

属性生成回路は、メモリチップの種類、メモリ容量、ならびにメモリスピードなどの属性を生成するためのものである。

選択手段は、選択されたメモリチップからの出力データと属性生成回路の出力とのうちのいずれか一方を選択的に出力するためのものである。

(実施例)

次に、本発明について図面を用いて説明する。

第1図は、本発明によるメモリカードの一実施例を示す回路ブロック図である。

第1図において、1はメモリ部であり、本実施

例では8つのメモリチップより構成されている。211～218はそれぞれチップイネーブルに対する信号線であり、本信号が有効となつた場合にはチップイネーブルに対するメモリチップが選択される。2は属性生成回路であり、属性生成回路2の出力信号線210は本実施例のメモリカードが有するメモリ容量、メモリ種別、ならびにメモリスピードを示す。3はアドレスデコード回路であり、本カードに対する入力信号線101をデコードして信号線211～218上にチップイネーブルを生成する。

信号線102上のアドレス信号は、メモリ部1を構成するメモリチップ内の番地を指定する。入力信号線103は本カード内のメモリ選択信号を入力し、入力信号線104は書き込み指定信号を入力し、入力信号線105は読出し指定信号を入力し、入力信号線106は属性指定信号を入力する。

信号線107上の入出力信号は、双方向のデータ信号である。11～15はそれぞれ2入力の論理積ゲート、21、22はそれぞれ2入力の論理

和ゲート、31～38はそれぞれ入力バッファ回路、41は双方向バッファ回路である。メモリ部1に対するデータの書き込みは、アドレス信号線101、102でメモリチップおよびメモリチップ内番地を指定のうえ、信号線103上のメモリ選択信号、および信号線104上の書き込み指定信号を有効とすることによつてメモリ部1に対する信号線203上の書き込み信号が有効となり、信号線107上の双方向データ信号データが信号線206を介してメモリ部1に書込まれる。

一方、メモリ部1からのデータの読出しは、信号線101、102上のアドレス信号でメモリチップおよびメモリチップ内番地を指定のうえ、信号線103上のメモリ選択信号、および信号線105上の読出し指定信号を有効とすることによりメモリ部1から信号線204上への読出し信号が有効となり、メモリ部1より信号線209上に読出しデータが出力される。信号線204上の読出し信号が有効であるので、上記データは2入力の論理積ゲート14と2入力の論理和ゲート22

(発明の効果)

以上説明したように本発明は、メモリカードに属性生成回路を備えることにより、そのカードのメモリ容量と、メモリスピードと、メモリ部を構成するメモリチップがスタティックRAMであるか、あるいはダイナミックRAMであるか、またはROMであるかなどのメモリ種別とから成る属性を主制御部で容易に識別できるという効果がある。

4. 図面の簡単な説明

第1図は、本発明によるメモリカードの一実施例を示す概略回路図である。

- 1 . . . メモリ部
- 2 . . . 属性生成回路
- 3 . . . アドレスデコーダ回路
- 11 ~ 15 . . . 論理積ゲート
- 21 ~ 22 . . . 論理和ゲート
- 31 ~ 36 . . . 入力バッファ回路
- 41 . . . 双方向バッファ回路
- 101 ~ 107, 201 ~ 210 . . . 信号線

特許出願人 日本電気株式会社
代理人 弁理士 井ノ口 壽

図1

